

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
G02F 1/133

(11) 공개번호 특1999-0083238

(43) 공개일자 1999년 11월 25일

(21) 출원번호 10-1999-0013462

(22) 출원일자 1999년 04월 16일

(30) 우선권주장 10-107896 1998년 04월 17일 일본(JP)

(71) 출원인 가부시끼가이샤 도시바

(72) 발명자 일본국 가나가와켄 가와사끼시 사이와이쿠 호리가와쵸 72반지
구보아키라일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
가미무라다카아키일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
도조마사유키일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
미조우치기요츠클일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
마치다마사히코일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
모토카와시게유키일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
미야지도모키(74) 대리인 일본 효고켄 히메지시 요베쿠가미요베50 가부시끼가이샤도시바히메지공장내
김명산, 김원오

4 : 1999

(54) 액정표시장치, 매트릭스 어레이기판 및 그 제조방법

본 발명은 매트릭스 어레이기판 및 그 제조방법에 관한 것으로서, 본 발명의 어레이기판은 유리기판(1) 상에 주사선(26), 신호선(33), 제 1 게이트 절연막(28), 제 2 게이트 절연막(29), 반도체 피막(41), 채널보호 피막(42), 저저항 반도체 피막(44) 및 Mo/Al/Mo의 적층막(47)을 형성한 후, 동일한 마스크 패턴을 이용한 패터닝에 의해 소스전극(48), 드레인전극(9), 신호선(33), 반도체막(39), 저저항 반도체막(40)을 일괄하여 형성하고, 또 소스전극(48), 드레인전극(49), 반도체막(39), 주사선 패드(30) 및 신호선 패드(34)의 상면을 화소전극(35)으로 덮으며, 또 소스전극(48), 저저항 반도체막(40) 및 반도체막(39)의 윤곽선을 대략 일치시키고, 드레인전극(49), 저저항 반도체막(40) 및 반도체막(39)의 윤곽선을 대략 일치시킴으로써, 제조시에 필요한 마스크수를 줄여 제조공정을 간략화하고, 제조 생산성을 향상시킨 매트릭스 어레이기판을 제공하는 것을 특징으로 한다.

도 1의 설명

도 1은 어레이기판의 제 1 실시형태의 레이아웃 도면,

도 2는 도 1의 A-A선 단면도,

도 3은 도 1의 B-B선 단면도,

도 4는 어레이기판의 제 1 실시형태의 제조공정도,

도 5는 도 4에 이어지는 제조공정도,

도 6은 어레이기판의 제 2 실시형태의 단면도.

- 도 7은 어레이기판의 제 2 실시형태의 제조공정도,
 도 8은 어레이기판의 제 2 실시형태의 변형에 및 제 3 실시형태의 단면구조를 나타낸 도면,
 도 9는 어레이기판의 제 4 실시형태의 제조공정도,
 도 10은 어레이기판의 제 5 실시형태의 제조공정도,
 도 11은 어레이기판의 제 6 실시형태의 제조공정도,
 도 12는 제 6 실시형태의 어레이기판을 갖는 액정표시장치의 단면도,
 도 13은 종래의 어레이기판의 단면구조를 나타낸 도면,
 도 14는 종래의 어레이기판의 제조공정도, 및
 도 15는 도 14에 이어지는 제조공정도이다.

*도면의 주요부분에 대한 부호의 설명

- | | |
|-------------------------------|-----------------|
| 1: 유리 기판 | 2: 게이트 전극 |
| 3: 주사선 | 4: 게이트 절연막 |
| 5: 반도체층 | 6: 절연막 |
| 7: n^+ 의 a-Si층 | 21: 어레이기판 |
| 22: 대향기판 | 23: 액정층 |
| 24: 배향막 | 25: 편광판 |
| 26: 주사선 | 27: 보조용량선 |
| 28: 제 1 게이트 절연막 | 29: 제 2 게이트 절연막 |
| 30: 주사선 패드 | 33: 신호선 |
| 34: 신호선 패드 | 35: 화소전극 |
| 36: 차광막 | 37: 컬러 필터 |
| 38: 대향전극 | 39: 반도체막 |
| 40: 저저항 반도체막 | 41: 반도체 피막 |
| 42: 채널보호 피막 | 43: 채널보호막 |
| 44: 저저항 반도체 피막 | 45, 46: 접촉층 |
| 47: 적층막 | 48: 소스전극 |
| 49: 드레인전극 | |
| 26a', 30a, 48a, 49a: 제 1 도전층 | |
| 26a'', 30b, 48b, 49b: 제 2 도전층 | |
| 26A, 30c: 제 3 도전층 | |

단면 설명

평면

본 발명에 사용되는 재료 및 그 분리의 상세기술

본 발명은 액정표시장치, 평면표시장치 등에 이용되는 매트릭스 어레이기판 및 그 제조방법에 관한 것이다.

최근, CRT(Cathode Ray Tube) 디스플레이에 대신하는 평면형 표시장치가 활발하게 개발되고 있고, 그 중에서도 액정표시장치는 경량, 박형 및 저소비전력 등의 점에서 우수하기 때문에 특히 주목 받고 있다.

예를 들어 각 표시화소마다 스위치소자가 배치된 액티브매트릭스형 액정표시장치를 예로 들어 설명하면, 어레이기판과 대향기판과의 사이에 배향막을 통해서 액정층을 유지한 구조로 되어 있다. 어레이기판은 유리나 석영 등이 투명절연성 기판상에 격자형상으로 배치된 신호선 및 주사선과 이들 신호선 및 주사선의 교점 부근에 배치된 스위치소자로서 예를 들면, TFT(Thin Film Transistor)를 갖고, TFT의 활성층은 아몰퍼스실리콘(a-Si:H) 등의 반도체 박막으로 형성된다.

TFT의 게이트전극은 주사선에, 드레인전극은 신호선에 각각 접속되고, 소스전극은 투명도전재료, 예를 들면 ITO막(Indium Tin Oxide)으로 이루어지는 화소전극에 접속되어 있다.

대향기판은 투명절연성 기판상에 형성된 ITO막으로 이루어지는 대향전극을 갖는다. 칼라표시를 가능하게 하기 위해서는 예를 들면 대향기판의 대향전극과 절연성 기판과의 사이에 칼라필터층이 설치된다.

도 13은 종래의 액정표시장치에 이용되는 매트릭스 어레이기판의 단면구조를 나타내는 도면이고, 도 14, 도 15는 종래의 어레이기판의 제조공정을 설명하는 도면이다. 도 14, 도 15는 어레이기판상의 TFT 영역과 주사선 패드영역의 단면구조를 나타내고 있다. 이하, 이들 도면에 기초하여 종래의 어레이기판의 제조공정을 순서에 따라 설명한다.

우선, 도 14의 (a)에 도시한 바와 같이, 유리기판(1)상에 게이트전극(2)과, 이 게이트전극(2) 단부에 주사선 패드영역을 포함하는 게이트전극(2)에 전기적으로 접속되는 주사선(3)을 형성한다. 다음에 도 14의 (b)에 도시한 바와 같이 기판 상면에 게이트절연막(4)을 형성한 후, 그 상면에 a-Si:H등으로 이루어지는 반도체층(5)을 형성한다. 다음에 반도체층(5)의 상면에 에치스토퍼층으로서 작용하는 절연막(6)을 형성한 후, 이 절연막(6)을 패터닝한다.

다음에 도 14의 (c)에 도시한 바와 같이, n⁺a-Si:H 등의 저저항 반도체층(7)을 형성한 후, 반도체층(5)과 저저항 반도체층(7)을 패터닝한다. 다음에 도 14의 (d)에 도시한 바와 같이 화소전극(8)을 형성한다.

다음에 도 15의 (a)에 도시한 바와 같이, 주사선(3)의 패드영역상의 게이트절연막(4)에 접촉층(9)을 형성한다. 다음에 도 15의 (b)에 도시한 바와 같이 소스전극(10)과 드레인전극(11)을 형성한다. 다음에 도 15의 (c)에 도시한 바와 같이 기판 상면의 화소전극 위 및 패드영역을 제외하고 보호막(12)으로 덮는다.

도 14, 도 15에 도시한 종래의 제조공정에 있어서는 상술한 바와 같이 포토레지스트의 노광·현상 패터닝이 적어도 7회 필요하고, 제조에 수고가 높고 동시에 포토레지스트나 구성재료의 사용량이 많기 때문에 제조원가가 비싸지는 문제가 있다.

그런데, 일본국 특개평 5-190571호 공보에는 에치스토퍼층을 구비한 TFT(이하 채널보호형 TFT라 칭함)를 이용하여, 패터닝의 회수를 줄인 제조공정이 개시되어 있다. 또, 일본국 특개소 61-161764호 공보에는 에치스토퍼층을 구비하지 않은 TFT(이하, 백 채널 컷형 TFT라 칭함)를 이용하여 패터닝의 회수를 줄인 제조공정이 개시되어 있다.

그러나, 상기 각 공보에는 모두 TFT부분이 개시만 되어 있고, 전체 공정수를 어떻게 줄였는지에 대해서는 충분히 검토되어 있지 않다.

발명이 이루고자 하는 기술적 과제

본 발명은 이러한 점을 감안하여 이루어진 것으로, 그 목적은 제조시에 필요한 마스크수를 줄여서 제조공정을 간략화하고 동시에 제조 생산성을 저감시키지 않는 높은 생산성을 확보할 수 있는 액정표시장치, 매트릭스 어레이기판 및 그 제조방법을 제공하는 데에 있다.

발명의 구성 및 작용

상술한 과제를 해결하기 위해서 청구항 1의 발명은 절연기판상에 배치된 게이트 전극부를 포함하는 주사선, 상기 주사선의 상기 게이트 전극부상에 절연막을 통해서 배치된 반도체막, 상기 반도체막에 드레인전극을 통해서 전기적으로 접속되는 신호선, 상기 반도체막에 전기적으로 접속되는 소스전극 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판, 상기 매트릭스 어레이기판에 대향배치되는 대향기판, 및 상기 매트릭스 어레이기판과 상기 대향기판과의 사이에 각각 배향막을 통해서 유지되는 액정층을 구비한 액정표시장치에 있어서, 상기 매트릭스 어레이기판의 적어도 상기 화소전극 및 상기 신호선상에는 상기 화소전극 및 상기 신호선에 직접 접하여 상기 배향막이 배치되는 것을 특징으로 하는 액정표시장치이다.

또, 청구항 7에 기재된 발명은 절연기판상에 배치된 게이트 전극부를 포함하는 주사선, 상기 주사선의 상기 게이트 전극부상에 절연막을 통해서 배치된 반도체막, 상기 반도체막에 드레인전극을 통해서 전기적으로 접속되는 신호선, 상기 반도체막에 전기적으로 접속되는 소스전극 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판에 있어서, 상기 신호선은 알루미늄을 주재료로 한 제 1 신호선층과, 상기 제 1 신호선층상에 배치되어 탄탈, 티탄, 텅스텐 및 바나듐에서 선택된 적어도 하나의 재료로 구성되는 제 2 신호선층을 포함하는 것을 특징으로 하는 매트릭스 어레이기판이다.

또, 청구항 10에 기재된 발명은 기판상에 배치되는 주사선, 상기 주사선상에 배치되는 절연막, 상기 절연막상에 배치되는 반도체막 및 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 갖는 박막 트랜지스터장치, 상기 드레인전극에 전기적으로 접속되는 신호선 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판의 제조방법에 있어서, 상기 절연막상에 반도체 피막 및 채널보호 피막을 차례로 퇴적하는 제 1 공정, 상기 채널보호 피막을 패터닝하여 채널보호막을 형성하는 제 2 공정, 상기 주사선을 외부 접속하기 위한 패드에 대응하여 상기 반도체 피막 및 상기 절연막에 개구부를 형성하는 제 3 공정, 기판 상면에 제 1 도전층을 퇴적하고 상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 제 1 도전층 및 상기 반도체 피막을 동일 마스크패턴을 이용하여 패터닝하고 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 반도체막을 형성하는 제 4 공정 및 기판 상면에 제 2 도전층을 형성한 후에 패터닝하고, 상기 하측 도전층상에 배치되는 상측 도전층을 형성함과 동시에 상기 화소전극을 형성하는 제 5 공정을 구비하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법에 있다.

또, 청구항 11에 기재된 발명은 기판상에 배치되는 주사선, 상기 주사선상에 배치되는 절연막, 상기 절연막상에 배치되는 반도체막 및 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 갖는 박막 트랜지스터장치, 상기 드레인전극에 전기적으로 접속되는 신호선 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판의 제조방법에 있어서, 상기 절연막상에 반도체 피막 및 채널보호 피막을 차례로 퇴적하는 제 1 공정, 상기 채널보호 피막을 패터닝하여 상기 채널보호막을 형성하는 제 2 공정, 상기 반도체 피막 및 상기 채널보호막의 상면에 제 1 도전층을 형성하는 제 3 공정, 상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 제 1 도전층 및 상기 반도체 피막을 동일

마스크패턴을 이용하여 패터닝하여 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 도전체막을 형성하는 제 4 공정, 상기 주사선을 외부 접속하기 위한 패드에 대응하여 상기 절연막에 개구부를 형성하는 제 5 공정 및 기판 상면에 제 2 도전층을 형성한 후에 패터닝하고 상기 하측 도전층상에 배치되는 상측 도전층을 형성함과 동시에 상기 화소전극을 형성하는 제 6 공정을 구비하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법에 있다.

또 청구항 14에 기재된 발명은 기판상에 배치되는 주사선과, 상기 주사선상에 배치되는 절연막, 상기 절연막상에 배치되는 반도체막 및 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 갖는 박막 트랜지스터장치, 상기 드레인전극에 전기적으로 접속되는 신호선 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판의 제조방법에 있어서, 상기 절연막상에 반도체 피막을 형성하는 제 1 공정, 상기 반도체 피막의 상면에 제 1 도전층을 형성하는 제 2 공정, 상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 반도체 피막 및 상기 제 1 도전층을 동일 마스크패턴을 이용하여 패터닝하고, 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 반도체막을 형성하는 제 3 공정, 상기 주사선을 외부 접속하기 위한 패드에 대응하여 상기 반도체 피막 및 상기 절연막에 개구부를 형성하는 제 4 공정, 기판 상면에 제 2 도전층을 형성한 후에 패터닝하고, 상기 하측 도전층상에 배치되는 상측 도전층을 형성함과 동시에 상기 화소전극을 형성하는 제 5 공정을 구비하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법에 있다.

이하, 본 발명의 한 실시예인 매트릭스 어레이기판, 그 제조방법 및 상기 매트릭스 어레이기판을 이용한 액정표시장치에 대해서 도면을 참조하면서 구체적으로 설명한다. 또한 이하, 매트릭스 어레이기판은 모두 액정표시장치에 이용되지만, 이외에 할상장치용 등 다른 용도에도 사용할 수 있다는 것은 말할 필요도 없다.

(제 1 실시형태)

도 1은 매트릭스 어레이기판의 제 1 실시형태의 레이아웃도, 도 2는 도 1의 A-A선 단면도, 도 3은 도 1의 B-B선 단면도이다.

본 실시형태의 액정표시장치는 도 2에 도시한 바와 같이 어레이기판(21)과 대향기판(22)을 배향막(24)을 통해서 액정층(23)을 사이에 두도록 대향 배치한 구조로 되어 있다. 액정층(23)은 트위스트 네마틱액정을 재료로 하고 있고, 배향막(24)은 서로 직교하는 방향으로 배향처리가 실시되어 있다. 또 어레이기판(21)과 대향기판(22)의 외표면에는 편광판(25)이 붙여져 있다.

어레이기판(21)은 도 1, 도 2에 도시한 바와 같이, 유리기판(1)상에 형성되는 주사선(26)과 주사선(26)의 상면에 형성되는 산화실리콘(SiO_2)막으로 이루어지는 제 1 게이트절연막(28)과, 상기 제 1 게이트절연막(28)의 상면에 형성되는 질화실리콘(SiN_2)막으로 이루어지는 제 2 게이트절연막(29)을 갖는다. 제 1 게이트절연막(28)으로 이루어지는 산화실리콘(SiO_2)막은 후술하는 다양한 프로세스에 있어서 애칭선택성을 확보하는 것이 되며, 제 2 게이트절연막(29)이 되는 질화실리콘(SiN_2)막은 반도체층과의 양호한 계면을 형성한다.

주사선(26)은 유리기판(1)상에 예를 들면 800개 형성된다. 각 주사선(26)은 주사선 경사배선부(26a)를 통해서 유리기판(1)의 일단변측으로 인출되는 접속단(26b)에 접속되고, 이 접속단(26b)에는 도 1에 도시한 주사선 패드(30)가 형성된다.

주사선(26)은 보조용량부(27)와 게이트 전극부를 갖는다. 또, 주사선 경사배선부(26a)는 도 3에 도시한 바와 같이 제 1 도전층(26a'), 제 2 도전층(26a') 및 제 3 도전층(26a)을 갖는다. 동일하게 주사선 패드(30)도 제 1 도전층(30a), 제 2 도전층(30b) 및 제 3 도전층(30c)을 갖는다. 제 1 도전층(26a', 30a)은 예를 들면 $\text{Mo}/\text{Al}/\text{Mo}$ 적층막으로 이루어지고, 제 2 도전층(26a', 30b)은 화소전극과 동일한 재료(예를 들면 IT0막)로 이루어진다. 제 3 도전층(26a, 30c)은 주사선(26)이 연장되어 형성된다.

또, 어레이기판(21)은 유리기판(1)상의 주사선(26)에 대략 직교하는 방향으로 배치되는 신호선(33)을 갖는다. 신호선(33)은 유리기판(1)상에 예를 들면 1024×3 개 형성된다. 각 신호선(33)은 신호선 경사배선부(33a)를 통해서 유리기판(1)의 일단변측으로 인출되는 접속단(33b)에 접속되고, 이 접속단(33b)에는 신호선 패드(34)가 형성된다.

신호선(33), 신호선 경사배선부(33a) 및 신호선 패드(34)도 주사선 패드(30) 등과 동일하게 제 1, 제 2 및 제 3 도전층을 갖는다.

또, 주사선(26)과 신호선(33)과의 교정부근에는 화소표시용 TFT(20)가 형성된다. TFT(20)의 게이트 전극부는 주사선(26)과 일체적으로 구성되고, 그 소스전극에는 화소전극(35)이 각각 접속된다.

한편, 어레이기판(21)에 대향배치되는 대향기판(22)은 도 2에 도시한 바와 같이 유리기판(100)상에 매트릭스형상으로 형성되는 수지성의 차광막(36)을 갖는다. 이 차광막(36)은 TFT(20)의 형성영역, 신호선(33) 및 주사선(26)과 화소전극(35)과의 간격을 차광하기 위한 것이다. 또, 화소전극(35)에 대향하는 영역에는 각각 적(R), 녹(G) 및 청(B)의 칼라필터(37)가 배치되고, 이들 칼라필터(37)의 상면에는 투명전극재로서 예를 들면 IT0막으로 이루어지는 대향전극(38)이 배치되어 있다.

본 실시형태에서는 신호선 패드(34)내에 접속홀을 형성할 때, 신호선(33)의 윤곽선과 그 하면에 형성되는 반도체막(39) 및 저저항 반도체막(40)의 각 윤곽선을 대략 일치시키고 있다. 보다 상세하게는 신호선(33)의 단면(端面)을 반도체막(39)의 단면에서 $0.5 \sim 2 \mu\text{m}$ 내측에 형성하여 접속홀의 내부벽을 테이퍼형상으로 가공하고 있다.

신호선(33)과 TFT(20)의 소스전극 및 드레인전극은 모두 화소전극(35)과 동일한 재료로 이루어지는 제 2 도전층을 갖기 때문에, 그 단선불량의 경감과 함께 신호선(33)을 구성하는 제 1 도전층의 재료인 Mo 의 산화물 등의 불순물이 액정층(23) 속에 확산하여 표시불량이 되는 것이 방지된다. 이 제 2 도전층은 제 1 도전층을 완전하게 피복하여 배치되어 있지만, 일부 위에 배치되는 것이라도 상관없다. 그러나, 신호

선 부분에 대해서 제 1 도전층의 약 20%이상을 피복하고 있는 것이 바람직하다. 또, 화소전극(35)과의 원하지 않는 단락방지라는 관점에서는 제 1 도전층보다도 약간 제 2 도전층의 폭이 좁은 폭이 바람직하다.

도 4, 도 5는 본 실시형태의 어레이기판(21)의 제조공정도이다. 이하, 도 4, 도 5에 기초하여 본 실시형태의 어레이기판(21)의 제조공정을 순서에 따라 설명한다.

우선, 유리기판(1)상에 스퍼터법에 의해 Al-Nd합금막, Mo막을 차례로 형성한다. Al-Nd합금막과 Mo막의 막두께는 각각 200nm, 30nm정도로 한다. 이 Al-Nd합금막에 대신하여 다른 Al합금막 또는 Al막을 사용할 수도 있다. Mo막은 Al막 또는 Al합금막상에 발생하는 힐록을 억제함과 동시에 양호한 테이퍼가공을 실현하는 것이고, 그 막두께는 10~100nm로 충분하다. 이 위에 레지스트를 도포, 건조하고 그리고 제 1 마스크패턴을 이용하여 노광을 실시하고, 현상 및 패터닝을 거쳐, 도 4의 (a)에 도시한 바와 같이 800개분의 주사선(26), 주사선 경사배선부(26a) 및 신호선 경사배선부(33a)의 제 1 도전층 및 패드부(30, 34)의 제 1 도전층을 형성한다.

다음에 도 4의 (b)에 도시한 바와 같이 감압 플라즈마 CVD법에 의해 약 300nm막의 산화실리콘막을 이루어지는 제 1 게이트절연막(28), 약 50nm두께의 질화실리콘막으로 이루어지는 제 2 게이트절연막(29), 약 50nm두께의 a-Si:H로 이루어지는 반도체 피막(41) 및 약 200nm두께의 질화실리콘막으로 이루어지는 채널보호 피막(42)을 크게 드러내지 않고 연속적으로 성막한다. 제 1 게이트절연막(28)을 구성하는 산화실리콘막은 2회의 성막공정을 포함하고, 제 1 층을 감압 플라즈마 CVD법에 의해 성막한 후, 한번 표면을 세정하고, 또한 후에 다시 제 2 층을 감압 플라즈마 CVD법에 의해 성막하여 구성한다. 이에 의해 층간 쇼트가 대폭으로 경감된다. 반도체 피막(41)으로서는 a-Si:H 외에도 다결정 Si, 미결정(微結晶)(Si 등의 다양한 규소계 반도체 등이 사용 가능하다.

다음에 이 위에 레지스트를 도포, 건조시켜 도 4의 (c)에 도시한 바와 같이 주사선(26)을 마스크로서 기판표면에서 노광함과 동시에 기판상에 배치되는 제 2 마스크패턴을 이용하여 노광하고, 현상한 후, 채널보호 피막(42)을 패터닝하여 TFT(20)의 형성 개소에만 성형상의 채널보호막(43)을 형성한다.

다음에 도 4의 (d)에 도시한 바와 같이 양호한 오용접착을 얻을 수 있도록 노출된 반도체 피막(41)의 표면을 불소화산으로 처리하고, 감압 플라즈마 CVD법에 의해 불소물로서 인을 포함하는 약 30nm두께의 n⁺의 a-Si:H로 이루어지는 저저항 반도체 피막(44)을 퇴적한다.

다음에 이 위에 레지스트를 도포, 건조하고 도 5의 (a)에 도시한 바와 같이 제 3 마스크패턴을 이용하여 노광 및 현상을 실시하고, 주사선(26)의 접속단(26b)에 대응하는 영역 및 신호선(33)의 접속단(33b)에 대응하는 영역의 제 1 및 제 2 게이트절연막(28, 29)과 반도체 피막(41)과 저저항 반도체 피막(44)을 제거하고 접촉홀(45, 46)을 형성한다. 이 때, 반도체 피막(41) 및 저저항 반도체 피막(44)을 제거하기 위해서 CDE(Chemical Dry Etching) 또는 PE(Plasma Etching) 등의 건식에칭을 실시하고, 제 1 및 제 2 게이트 절연막(28, 29)을 제거하기 위해서 BHF(버퍼드 불소화산) 등의 습식에칭을 실시한다. 이렇게 건식 에칭과 습식에칭과의 병용에 의해 접촉홀(45, 46)은 비교적 양호한 테이퍼형상으로 형성된다.

다음에 도 5의 (b)에 도시한 바와 같이, 약 25nm두께의 Mo(몰리브덴)층, 약 350nm두께의 Al(알루미늄)층 및 약 50nm두께의 Mo층으로 이루어지는 적층막(47)을 스퍼터법에 의해 형성한다. 이 하층 Mo층은 저저항 반도체 피막(44)과 양호한 오용접착을 실현하는 것이고, 다른 고용점 금속으로 치환할 수도 있다. 또 상층 Mo층은 Al층의 표면반사를 억제함과 동시에 Al층에 생기는 힐록 발생을 억제하는 것이다. 그리고 Al에 대신하여 Al-Nd합금 등의 Al합금을 이용할 수도 있다.

다음에 이 위에 레지스트를 도포, 건조하여 도 5의 (c)에 도시한 바와 같이, 제 4 마스크패턴을 이용하여 노광 및 현상을 실시하고, 인산, 질산, 초산 및 물의 혼합산을 이용하고, 또한 에칭시간을 조정함으로써 사이드에칭량을 조정하고, Mo/Al/Mo적층막(47)을 에칭한다. 또 질화실리콘막으로 이루어지는 제 2 게이트절연막(29)과 채널보호막(43)과의 에칭선택비를 제어함으로써, 저저항 반도체 피막(44)과 반도체 피막(41)을 일괄하여 PE법에 의해 패터닝한다. 이에 의해 TFT(20)의 활성층을 이루는 반도체막(39)과 양호한 오용접착을 얻기 위한 저저항 반도체막(40)이 형성되고, 또 소스전극(48)과 드레인전극(49)의 일부를 구성하는 제 1 도전층(48a, 49a)과 주사선패드(30)와 신호선패드(34)의 일부를 구성하는 제 1 도전층(30b, 34b)이 형성된다.

다음에 도 5의 (d)에 도시한 바와 같이 기판 상면에 H₂O, H₂ 또는 O₂가스를 첨가한 Ar 가스 분위기 속에서 예를 들면, 이 예에서는 H₂O 첨가의 Ar 분위기속에서의 스퍼터링에 의해 약 40nm두께의 아몰퍼스상의 ITO막을 퇴적하고, 제 5 마스크패턴을 이용하여 노광, 현상 및 패터닝을 실시한다. ITO막의 에칭액은 Al을 에칭하지 않은 액, 예를 들어 수산 수용액 등이 이용된다. 또, 이 외에도 H가스계 또는 CH₄/H₂가스계인 RIE(Reactive Ion Etching)도 유효하다.

이에 의해 게이트절연막에 핀홀 등이 존재하여도 주사선(26), 주사선 경사배선부(26a) 및 신호선 경사배선부(33a)의 제 1 도전층 및 패드부(30, 34)의 제 1 도전층이 부식하여 단선하는 것이 방지된다. 또한 이 아몰퍼스상의 ITO막은 후공정에서 열처리를 실시함으로써 저저항화된다. 이 ITO막에 대신하여 IZO(Indium Zinc Oxide)막을 사용할 수도 있고, 이에 의하면 열처리공정도 불필요하게 할 수 있다.

이렇게 하여 주사선(26)과 신호선(33)의 사이에 화소전극(35)이 형성된다. 또 패터닝한 ITO막은 신호선(33), 소스전극(48) 및 드레인전극(49)의 각 일부를 구성하는 제 2 도전층이 된다. 도 5의 (d)에서는 주사선 패드(30)와 신호선 패드(34)의 일부를 구성하는 제 2 도전층을 부호 "30a", "34a"로, 소스전극(48)과 드레인전극(49)의 일부를 구성하는 제 2 도전층을 부호 "48b", "49b"로 나타내고 있다.

다음에 도 2에 도시한 바와 같이 어레이기판의 상면에 폴리이미드로 이루어지고 건조후 막두께가 50nm두께인 배향막(23)을 형성한다. 동일하게 기판 상면에 배향막(23)이 형성된 대향기판(22)을 시일재(도시하지 않음)을 통해서 소정의 간격을 두고 대향배치시키고, 양 기판사이에 액정층(24)을 주입하여 밀봉한

다. 또한 기판외표면에 각각 편광판(25)을 배치하여 액정표시장치를 완성한다.

도 4, 도 5에 도시한 제 1 실시형태의 어레이기판(21)의 제조공정을 도 14, 도 15에 도시한 종래의 어레이기판(21)의 제조공정과 비교하면, 제 1 실시형태는 IT0막으로 이루어지는 화소전극(35)을 형성하기 전에 주사선(30)과 신호선(33)의 각 접속단(30a, 32a)에 각각 접속층(45, 46)을 형성하고, 다음에 소스전극(48) 등의 재료가 되는 Mo/Al/Mo 적층막(47)을 형성한 후에 패터닝을 실시하고, 반도체막(39) 및 저저항 반도체막(40)과 소스전극(48), 드레인전극(49) 및 신호선(33)의 각 일부를 구성하는 제 1 도전층을 일괄하여 형성하는 점에서 종래의 제조공정과 다르다.

이러한 제조공정을 채용하여 필요한 마스크패턴수를 종래의 7장에서 5장으로 줄일 수 있다. 또, 신호선(33)과 TFT(20)의 소스전극(48) 및 드레인전극(49)을 제 1 도전층과 화소전극을 구성하는 재료와 동일한 재료인 제 2 도전층으로 각각 형성하기 때문에 신호선(33)의 단선 불량을 방지할 수 있다.

또한 소스전극(48), 저저항 반도체막(40) 및 반도체막(39)의 윤곽선과, 드레인전극(49), 저저항 반도체막(40) 및 반도체막(39)의 윤곽선의 각각을 서로 일치시키고, 상세하게는 반도체막(39), 저저항 반도체막(40) 및 전극 순으로 그 윤곽이 미세하게 작아지기 때문에, 그 후 공정에서 기판 상면에 제 2 도전층을 형성한 때에 단차에 의해 제 2 도전층이 단선하는 등의 불량이 일어나기 어렵게 된다.

또한 상술한 제 1 실시형태에서는 a-Si:H를 재료로서 반도체막(39)을 형성하는 예를 설명하였지만, 다결정 Si를 재료로서 반도체막(39)을 형성하여도 좋다. 또 어레이기판(21)상의 주변영역에 구동회로를 일체로 형성하여도 좋다.

또, 주사선(26)을 Al 또는 Al의 합금(예를 들면 Al-Nd나 Al-Y)으로서 게이트절연막을 질화 실리콘막만으로 하고 건식에칭만으로 접속층의 에칭을 실시하여도 좋다.

또, 도 5의 (d)에서는 화소전극(35)이나 제 2 도전층을 IT0막으로 형성하는 예를 설명하였지만, In과 Zn과 O의 합금인 IZO막을 재료로서 화소전극(35)이나 제 2 도전층을 형성하여도 좋다. IZO막은 비정질 상태에서 성막할 수 있고, 수산계의 약한 산으로 에칭을 실시할 수 있기 때문에, IZO막의 하층에 Al 등의 저저항의 금속층을 형성하여도 금속층이 에칭액에 의해 전식이나 산화를 일으키지 않는다.

또, 본 실시형태의 어레이기판은 주사선 패드(30)나 신호선 패드(34)의 상면을 화소전극(35)과 동일한 재료인 IT0막으로 형성하고 있고, Al 등으로 형성하는 것보다도 경질이기 때문에 외부회로와의 접속시 등에 원하지 않는 재료를 세게 긁어내도 인접 패드사이에서 단락 불량이 일어나기 어렵게 된다.

또, 상술한 제 1 실시형태에 의하면, 적은 마스크수이면서, 신호선을 구성하는 층과 주사선을 구성하는 층을 예를 들어 신호선을 구성하는 저저항 금속배선으로 직접 접속하는 것을 가능하게 한다. 이 때문에 정전대책으로서 신호선과 주사선을 낮은 접속저항으로 전기적으로 보호다이오드등을 통해서 접속할 수 있다.

또, 이 실시예에서는 소스전극(48) 및 드레인전극(49)의 각 일부를 구성하는 제 2 도전층을 이루는 IT0막은 소스전극(48) 및 드레인전극(49)의 각 일부를 구성하는 제 1 도전층만을 피복하고 있다. 이것에 의해 Mo산화물 등의 소망하지 않는 도전입자의 영향에 의해 소스전극(48) 및 드레인전극(49)간이 단락하는 것이 경감된다.

(제 2 실시형태)

제 2 실시형태는 주사선(26)과 신호선(33)의 각 접속단(26b, 31b)에 접속층(45, 46)을 형성하는 공정시기가 제 1 실시형태와 다른 것을 특징으로 한다.

도 6은 어레이기판(21)의 제 2 실시형태의 단면도이고, 제 1 실시형태와 같이 채널 보호형 TFT부의 개략 단면구조를 나타내고 있다. 또, 도 7은 어레이기판(21)의 제 2 실시형태의 제조공정도면이다. 이하, 도 7에 기초하여 어레이기판(21)의 제 2 실시형태의 제조공정을 순서대로 설명한다.

우선, 절연성 기판, 예를 들면 유리기판(1) 상에 스퍼터법에 의해 약 300nm 두께의 Al합금막을 퇴적한다. 이 Al합금막은 예를 들면 상기한 실시예와 같이 예를 들면, Nd원자를 2% 포함한 Al합금막에 있어서, 열공정에 대해 활력의 발생이 충분히 저감된 막이다. 그리고, 도 7의 (a)에 나타낸 바와 같이 제 1 마스크 패턴을 이용한 포토리소그래피에 의해 Al합금막을 패터닝하여 게이트 전극부, 보조용량부 및 일단축에 인출된 경사 배선부(도시하지 않음), 또 경사 배선부에 연결된 접속단(26b)을 포함하는 주사선(26)을 형성한다. 또, 도시하지 않지만, 주사선(26)의 형성과 동시에 신호선의 경사 배선부 및 패드부에도 하층 배선으로서 Al합금막을 형성해 둔다.

다음에 도 7의 (b)에 나타낸 바와 같이, 감압 플라즈마 CVD법에 의해 약 300nm 두께의 질화 실리콘막으로 이루어진 게이트 절연막(51), 약 50nm 두께의 a-Si:H로 이루어진 반도체 피막(41) 및 약 200nm 두께의 질화 실리콘막으로 이루어진 채널보호 피막(42)을 대기에 노출하는 일 없이 연속적으로 성막한다. 또, 이 게이트 절연막(51)은 제 1 실시형태와 같이 약 300nm 두께의 산화 실리콘막으로 이루어진 제 1 게이트 절연막과 약 50nm 두께의 질화 실리콘막으로 이루어진 제 2 게이트 절연막으로 치환해도 상관없다.

다음에, 채널보호 피막(44)을 상기한 실시예와 같이 제 2 마스크 패턴을 이용하여 패터닝하여 채널보호막(43)을 형성하고, 또 전처리를 실시한 후, 소스 드레인전극(48, 49)의 접속부로서, 물순물로서 인을 포함하는 약 30nm 두께의 n⁺의 a-Si:H로 이루어진 저저항 반도체 피막을 감압 플라즈마 CVD법에 의해 퇴적한다. 이어서, 스퍼터법에 의해 Mo/Al/Mo의 3층으로 이루어진 적층막을 퇴적한다.

다음에, 도 7의 (c)에 나타낸 바와 같이 제 3 마스크 패턴을 이용한 포토리소그래피에 의해 적층막을 패터닝하여 신호선(33), 소스전극(48) 및 드레인전극(49)의 각 일부를 구성하는 제 1 도전층(48a, 49a)을 형성한다. 또, 동일한 마스크 패턴을 이용하여 PE법에 의해 반도체 피막(41) 및 저저항 반도체 피막(44)을 패터닝하여 반도체막(39)과 저저항 반도체막(40)을 형성한다. 이것에 의해 신호선(33), 소스전극(48), 드레인전극(49), 주사선 경사 배선부(26a) 및 신호선 경사 배선부(33a)의 상층층의 도전층

이 형성된다.

다음에, 도 7의 (d)에 나타난 바와 같이 제 4 마스크 패턴을 이용하여 주사선 패드(30)가 형성된 영역 내의 게이트 절연막(51)을 불소계의 가스를 이용한 PE법에 의해 에칭하여 접촉홀(45)을 형성한다.

다음에 도 7의 (e)에 나타난 바와 같이 H_2O , H_2 또는 O_2 가스를 첨가한 Ar 가스, 예를 들면 H_2O 첨가의 Ar 분위기 중에서의 스퍼터법에 의해 기판 온도를 비교적 저온으로 유지하면서 성막하여 기판 상면에 아몰퍼스상의 ITO막을 50nm 두께로 퇴적한 후에 제 5 마스크 패턴에 기초하여 패터닝을 실행하고, 화소전극(35)과, 신호선(33), 소스전극(48) 및 드레인전극(49)의 각 일부를 구성하는 제 2 도전층(48b, 49b), 또 신호선(33) 및 주사선(26)의 패드부 상에 형성한다. ITO막의 에칭액은 Si를 에칭하지 않은 액, 예를 들면 수산화수용액 등이 이용된다. 화소전극(35)과 제 2 도전층을 패터닝하는 것 이외의 방법으로서 HI 가스계 또는 CH_4/HR_2 가스계의 RIE도 유효하다.

다음에 제 1 실시형태와 같이 배향막을 직접 배치하고, 액정표시장치를 완성시킨다.

이와 같이 제 2 실시형태는 소스전극(48), 드레인전극(49), 저저항 반도체막(40) 및 반도체막(39)을 동일 마스크 패턴을 이용하여 일괄하여 패터닝한 후에, 주사선 패드(30)와 신호선 패드(34)용의 접촉홀을 형성하는 점, 즉 접촉홀을 형성하는 시기가 제 1 실시형태와 다른 점을 제외하고는 제 1 실시형태와 같도록 제조된다. 따라서, 제 1 실시형태와 같이 종래보다도 적은 마스크 수로 어레이기판을 제조할 수 있다. 또, 화소전극(35)과 제 2 도전층의 재료로서 ITO막 대신에 IZO막을 이용하는 것에 의해, 주사선과 신호선(33)의 재료로서 Si 등의 저저항의 금속을 사용할 수 있는 점에서도 제 1 실시형태와 같다.

또, 상기 도 7의 (e)의 ITO막의 패터닝에 이용되는 마스크 패턴을 변경하여 도 8의 (a)에 나타난 바와 같이 ITO막을 패터닝하고, 소스전극(48) 및 드레인전극(49)을 피복하지 않고 화소전극(35)을 형성해도 좋다. 예를 들면 신호선(33)을 구성하는 Mo/Al/Mo의 3층으로 이루어진 적층막(제 1 도전층)의 배선편을 5 μ m로 할 때, 이 위에 배치된 제 2 도전층의 배선편을 2 μ m로 한다. 이것에 의해 제 1 도전층에 대한 제 2 도전층의 마스크 어긋남이 생겨도 제 2 도전층은 항상 제 1 도전층 내에 위치하기 때문에 신호선(33)의 단선이 방지된다. 또, 동일한 마스크로 패터닝된 화소전극과 제 2 도전층과의 간격을 충분히 유지할 수 있기 때문에, 화소전극과 제 2 도전층이 소망하지 않게 도통하는 것이 방지된다.

이 경우, ITO막의 일부를 도전층(49b)으로서 신호선(33)(도 1 참조) 상에 배치하는 것은 신호선(33)의 단선을 방지하는데 바람직하다.

(제 3 실시형태)

다음에 본 발명의 다른 실시형태에 대해 도면을 참조하여 설명한다. 이 실시형태에서는 화소전극위치까지 제 2 실시형태와는 상이하고 있다. 또, 도 8의 (b)는 어레이기판의 제 3 실시형태의 단면구조를 나타낸 도면이고, 도 9는 그 제조공정을 나타낸 도면이다.

제 3 실시형태는 도 7의 (a)에서 도 7의 (b)까지의 공정(도 9의 (a) 내지 도 9의 (b))을 거친 후, n^+ 형의 a-Si:H로 이루어진 저저항 반도체 피막을 약 50nm 두께로 감압 플라즈마 CVD에 의해 형성한다. 그 후, CF_4 와 O_2 의 혼합 가스를 이용하여 CDE를 실행하고, 반도체 피막(41) 및 저저항 반도체 피막을 패터닝한다. 보다 상세하게는 TFT의 형성영역과 신호선의 형성영역에 반도체 피막(41) 및 저저항 반도체 피막(44)이 남도록 제 3 마스크 패턴에 기초하여 패터닝한다.

다음에, 스퍼터법에 의해 ITO막을 퇴적한다. 보다 상세하게는 In_2O_3 와 SnO_2 의 중량비 %를 90:10으로 한 소결(燒結) ITO막 타겟을 이용하여 Ar분압을 0.4Pa 이상으로 하여 스퍼터를 실행한다. 이 경우, Ar 대신에 Kr을 이용해도 양호한 결과를 얻을 수 있다. 또, H_2O 분압은 예를 들면 3.4×10^{-3} Pa로 설정된다. 또, H_2O 대신에 O_2 를 이용해도 상관없다. 기판 온도는 실온으로 설정된다. 즉, 기판을 지지하는 플레이트(서셉터)온도는 예를 들면 60℃로 설정된다. 이 서셉터 온도가 실온에서 200℃에 도달하기까지 ITO막의 막질은 충분히 비정질이다.

ITO막의 파워밀도는 7.0W/cm² 이상, 마그네트의 쓸기 왕복은 시작부터 원래의 위치에 되돌아오는 끝까지 1회 이상이다. 또, ITO막의 막두께는 80nm 미만인 것이 바람직하다. 또, 성막시간은 20초부터 60초 사이에서 종료하는 것이 ITO막의 결정질화로의 축진을 억제하기 위해 바람직하다.

다음에 제 4 마스크 패턴을 이용하여 ITO막을 패터닝한다. 구체적으로는 ITO막을 패터닝하기 위해 ITO막의 상면에 레지스트를 도포한 후, $(HCOOH)_2$ 를 적어도 1% 이상인 3.4중량% 혼합한 습식 에칭액으로 패턴 영역 이외를 제거하고, 레지스트의 박리를 감압카리액에 의해 실행한다(도 9의 (c)).

다음에, 패터닝된 ITO막(35)의 투과율을 평균적으로 상승시킬 목적으로 열처리를 실행한다. 이 경우의 분위기 조건은 질소 가스 중의 대기압이다. 예를 들면 기판 온도를 230℃ 이상, 처리시간을 5분 이상으로 하면 투과율은 80%를 충분히 넘어서 실용성을 만족한다.

다음에, 노광, 현상 및 제 5 마스크 패턴을 이용하여 패드부의 게이트 절연막(51)을 불소계의 가스를 이용한 PE법에 의해 에칭제거하여 접촉홀(45)을 형성한다(도 9의 (d)).

다음에, 스퍼터법에 의해 Mo층을 약 25nm 두께로 퇴적한다. 그리고, 알루미늄에 2.0원자%의 네오듐이 혼합된 타겟과, Ar 가스와 Kr 가스를 이용하여 가스 압력이 1.3Pa 이하이고, 파워를 40kW 이하로 조정하여 Al-Nd합금층을 350nm 두께로 스퍼터법에 의해 퇴적한다. 그 상면에 Mo층을 약 50nm 두께로 스퍼터법에 의해 성막한다. 이 때, Al-Nd합금층 대신에 Al, Al-Y, 또는 Al-Gd를 이용해도 좋다. 스퍼터 성막하는 재료와 막두께의 조합에 의해 에칭가공 후의 배선부분의 테이퍼의 형상이 변화한다.

다음에, 제 6 마스크 패턴에 기초하여 레지스트를 노광, 현상하고, 인산, 질산 및 초산계의 혼합산을 이용하여 상기한 적층막을 습식 에칭에 의해 패터닝하고, 신호선(도시하지 않음), 소스 및

드레인전극(48, 49)을 가공한다. 동시에, 채널보호막(43) 상의 저저항 반도체 피막을 소스전극(48)과 드레인전극(49)을 마스크로 하여 플라즈마 에칭법 등에 의해 제거한다. 이상의 공정에 의해 어레이기판이 형성된다(도 9의 (c)).

이와 같이, 소스전극(48) 상면과 드레인전극(49) 상면에 ITO막을 형성하지 않도록 하는 것에 의해 소스전극(48)과 드레인전극(49)의 단차에 의해 ITO막이 단 끊어짐을 일으키는 문제가 일어나지 않게 되고, 드레인전극(49)과 화소전극(35)을 확실하게 도통시킬 수 있다.

(제 4 실시형태)

제 1~제 3 실시형태는 TFT의 소스전극(48)과 드레인전극(49)의 아래쪽 도전층의 재료로서 Mo/Al/Mo의 적층막(47)을 이용하고 있고, 이 적층막(47)의 최상층의 재료는 Mo(몰리브덴)이다. Mo는 알칼리용액과 물로 용이하게 용해하고, 산화물이 되어 재부착하는 성질이 있다. 또, Mo의 산화물 MoO_2 는 벌크상태로 약 $88\mu\Omega \cdot cm$ 의 저항률을 갖고, 도전성이다. 따라서, 최상층에 Mo를 이용한 전극에 장기간에 걸쳐 전압을 인가하면 소스전극(48)과 드레인전극(49)이 Mo의 산화물을 통해 부분적으로 단락하고, 소스전극(48)과 드레인전극(49) 사이에 리크전류가 발생하게 된다.

그래서, 이하에 설명하는 제 4 및 제 5 실시형태는 TFT의 소스전극(48)과 드레인전극(49)의 구성재료인 적층막(47)의 최상층에 산화물의 저항률이 높은 금속, 예를 들면 V(바나듐)를 이용하는 것에 의해 소스전극(48)과 드레인전극(49) 사이의 리크전류를 억제하는 것이다.

이하, 상기 제 3 실시형태에 따라 제 4 실시형태를 도 9를 참조하여 설명한다.

우선, 플라즈마 CVD법에 의해 SiO_x 막이 형성된 투명 유리기판(1) 상에 스퍼터법에 의해 MoW막을 약 300nm 두께로 퇴적한다. 이어서, 제 1 마스크 패턴에 기초하여 노광, 현상 및 제 1 패터닝을 실행한다. CF_4+O_2 혼합가스를 이용하여 CDE(케미컬 드라이 에칭)를 실행하고, 35도 이하의 테이퍼를 만들 수 있도록 MoW막을 가공하여 게이트 전극(26)을 형성한다(도 9의 (a)).

다음에, 감압 플라즈마 CVD법에 의해 약 300nm 두께의 산화 실리콘막, 약 50nm 두께의 질화 실리콘막을 게이트 절연막(51)으로서 퇴적한다. 또, SiH_4 가스 및 수소 가스계의 글로우 방전에 의해 50nm 두께의 a-Si:H막으로 이루어진 반도체 피막(41), 약 300nm 두께의 질화 실리콘막으로 이루어진 채널보호 피막(도시하지 않음)을 대기에 노출하지 않고 4층 연속하여 퇴적한다. 그리고, 상기 실시예와 같이 이면 노광 및 제 2 패터닝에 의해 채널보호 피막을 패터닝하여 게이트 전극(26)의 위쪽에 채널보호막(43)을 형성한다(도 9의 (b)).

다음에 SiH_4 가스와 PH_3 을 포함하는 수소가스의 글로우 방전에 의해 n⁺형 a-Si:H로 이루어지는 저저항 반도체 피막을 약 50nm 두께로 감압 플라즈마 CVD에 의해 형성한다. 그 후, CF_4 와 O_2 의 혼합가스를 이용하여 CDE를 실행하고 저저항 반도체 피막을 패터닝한다. 보다 상세하게는 TFT의 형성영역과 신호선의 형성영역에 저저항 반도체 피막(44)이 남도록 패터닝한다.

다음에, 스퍼터법에 의해 ITO막을 퇴적한다. 보다 상세하게는 In_2O_3 와 SnO_2 의 중량비%를 90:10으로 한 소결 ITO막 타겟을 이용하여 Ar분압을 0.4Pa 이상으로 하여 스퍼터를 실행한다. 이 경우, Ar 대신에 Kr를 이용해도 양호한 결과를 얻을 수 있다. 또, H_2O 분압은 예를 들면 $3.4 \times 10^{-9} Pa$ 로 설정된다. 또, H_2O 대신에 O_2 를 이용해도 상관없다. 기판온도는 실온으로 설정한다. 즉, 기판을 지지하는 플레이트(서셉터)온도는 예를 들면 60℃로 설정된다. 이 서셉터 온도가 실온에서 200℃에 도달하기까지의 ITO막의 막두께는 충분히 비정질이다.

ITO막의 파워밀도는 $7.0W/cm^2$ 이상, 마그네트의 쏘기 왕복은 시작부터 원래의 위치에 도달하는 끝까지 1회 이상이다. 또, ITO막의 막두께는 800옹스트롬 미만인 것이 바람직하다. 또, 성막시간은 20초에서 60초 사이에서 종료하는 것이 ITO막의 결정질화로의 축진을 억제하기 위해 바람직하다.

다음에, 제 3 마스크 패턴을 이용하여 ITO막을 패터닝한다. 구체적으로는 ITO막을 패터닝하기 위해 ITO막의 상면에 레지스트를 도포한 후, $(HCOOH)_2$ 를 3.4중량% 혼합한 습식 에칭액으로 패턴 영역 이외를 제거하고, 레지스트의 박리를 강알칼리액에 의해 실행한다(도 9의 (c)).

다음에, 패터닝된 ITO막(35)의 투과율을 평균적으로 상승시킬 목적으로 열처리를 실행한다. 이 경우의 분위기 조건은 질소가스 중의 대기압이다. 예를 들면 기판온도를 230℃ 이상, 처리시간을 5분 이상으로 하면 투과율은 80%를 충분히 넘어 실용성을 만족한다.

다음에, 제 4 마스크 패턴을 이용하여 패드부의 게이트 절연막(51)을 제거하여 접촉층(45)을 형성한다(도 9의 (d)).

다음에 스퍼터법에 의해 Mo층을 약 25nm 두께로 퇴적한다. 그리고, 알루미늄에 2.0원자%의 네오듐이 혼합된 타겟과 Ar가스와 Kr가스를 이용하여 가스 압력이 1.3Pa이하이고, 파워를 40kW 이하로 조정하여 Al-Nd 합금층을 약 350nm 두께로 스퍼터법에 의해 퇴적한다. 그 상면에 바나듐을 타겟으로 하여 Ar가스와 Kr가스를 이용하여 가스 압력이 1.3Pa 이하이고, 파워를 15kW 이하로 조정하여 바나듐층을 약 50nm 두께로 스퍼터법에 의해 성막한다. 이 때, Al-Nd합금층 대신에 Al, Al-Y, 또는 Al-Gd를 이용해도 좋고, 또 적층막의 최하층의 재료로서 Mo 대신에 V를 이용해도 좋다. 스퍼터 성막하는 재료와 성막의 조합에 의해 에칭가공 후의 배선부분의 테이퍼의 형상이 변화한다.

다음에, 제 5 마스크 패턴에 기초하여 레지스트를 노광, 현상하고 인산, 질산 및 초산계의 혼합산을 이용하여 상기의 적층막을 습식 에칭에 의해 패터닝하고, 신호선(도시하지 않음), 소스 및 드레인전극(48, 49)을 가공한다. 동시에, 채널보호막(43) 상의 저저항 반도체 피막을 소스전극(48)과 드레인전극(49)을 마스크로 하여 PE법 등에 의해 제거한다. 이상의 공정에 의해 어레이기판이

형성된다(도 9의 (e)).

이와 같이 제 4 실시형태는 TFT의 소스전극(48)과 드레인전극(49)의 최상층(47c)을 바나듐으로 형성하기 때문에, 소스전극(48)과 드레인전극(49) 사이를 흐르는 리크전류를 억제할 수 있고, TFT의 전기적 특성이 좋아진다. 또, 이 바나듐에 의해 아래쪽 도전층 중의 알루미늄 등이 액정층(23) 중에 확산하는 것도 방지할 수 있다.

(제 5 실시형태)

제 5 실시형태는 IT0막(35)을 형성하는 공정순서가 제 4 실시형태와 다르고, TFT의 소스전극(48)과 드레인전극(49)의 상면을 IT0막(35)으로 덮는 것이다.

도 10은 어레이기판의 제 5 실시형태의 제조공정도면이고, 이하, 도 10에 기초하여 어레이기판의 제 5 실시형태의 제조공정을 설명한다.

SiO_x막이 부착된 투명유리기판(1) 상에 MoW막을 형성한 후, 제 1 마스크 패턴에 기초한 패터닝에 의해 MoW막을 테이퍼 형상으로 가공하여 게이트 전극(26)을 형성한다(도 10의 (a)). 다음에, 그 상면에 게이트 절연막(51)을 퇴적한다(도 10의 (b)).

다음에, 게이트 절연막(51)의 상면에 반도체 피막(41)을 형성하고, 또 그 상면에 질화 실리콘층을 채널 보호 피막으로 하여 형성한다. 다음에, 채널보호 피막을 제 2 마스크 패턴에 기초하여 패터닝을 실행하고 채널보호막(43)을 형성한다(도 10의 (c)).

이상의 공정은 제 4 실시형태와 같다. 이 제 5 실시형태는 그 상면에 저저항 반도체 피막, Mo/Al-Nd/V 적층막을 형성한 후, 제 3 마스크 패턴에 기초한 패터닝에 의해 적층막과 저저항 반도체 피막과 반도체 피막(41)을 일괄하여 패터닝한다(도 10의 (d)).

그 후, 제 4 마스크 패턴에 기초하여 패드부분의 게이트 절연막(51)을 제거하여 접촉홀(45)을 형성한 후(도 10의 (e)), 스퍼터법에 의해 IT0막을 퇴적하고, 제 5 마스크 패턴에 기초한 패터닝을 실행하고 화소전극(35)을 형성한다(도 10의 (f)).

이와 같이 제 5 실시형태에서는 TFT의 소스전극(48)과 드레인전극(49)의 상면을 IT0막(35)으로 덮기 때문에, IT0막(35)으로 양전극을 보호할 수 있고, 보호용의 패시베이션막이 불필요하게 되고, 제조공정을 간략화할 수 있다. 또, 제 4 실시형태와 같이 소스전극(48)과 드레인전극(49)의 아래쪽 도전층의 최상층(47c)을 바나듐으로 형성하기 때문에 아래쪽 도전층의 일부가 액정층(23) 중에 확산하는 문제를 방지할 수 있고, 또 소스전극(48)과 드레인전극(49) 사이를 흐르는 리크전류를 억제할 수 있다.

(제 6 실시형태)

제 1~제 5 실시형태에서는 게이트 전극의 윗쪽에 채널보호막을 배치했다. 소위 채널보호막형 TFT가 이용되는 매트릭스 어레이기판에 대해 설명했는데, 백 채널 컷형 TFT를 매트릭스 어레이기판의 스위치소자로서 채용하여 패터닝의 횟수를 더욱 줄일 수 있다.

도 11은 어레이기판의 제 6 실시형태의 제조공정도면이고, 이하 도 11에 기초하여 어레이기판의 제 6 실시형태의 제조공정을 설명한다.

우선, 유리기판(1) 상에 스퍼터법에 의해 MoW 합금막을 약 230nm 두께로 적층하고, 제 1 마스크 패턴을 이용하여 노광, 현상 및 제 1 패터닝을 실행하고, 유리 기판의 일단면 측에 인출된 접속단을 포함하는 480개의 주사선(26)과 480개의 보조용량선(26')을 형성한다(도 11의 (a)).

다음에, 감압 플라즈마 CVD법에 의해 약 350nm 두께의 산화 실리콘막으로 이루어진 제 1 게이트 절연막(28)을 퇴적한 후, 또 약 50nm 두께의 질화 실리콘막으로 이루어진 제 2 게이트 절연막(29)을 형성한다(도 11의 (b)). 다음에, 약 250nm 두께의 a-Si:H로 이루어진 반도체 피막, 불순물로서 인을 포함하는 약 50nm 두께의 n⁺의 a-Si:H로 이루어진 저저항 반도체 피막을 CVD법에 의해 연속적으로 대기에 노출하지 않고 성막한다. 그 후, 각각 25nm 두께, 350nm 두께, 50nm 두께의 Mo/Al/Mo 적층막(47a, 47b, 47c)을 스퍼터법에 의해 퇴적한다.

다음에 Mo/Al/Mo 적층막(47a, 47b, 47c)과 저저항 반도체 피막과, 반도체 피막과, 질화 실리콘막으로 이루어진 제 2 게이트 절연막(29)을 제 2 마스크 패턴을 이용한 패터닝에 의해 일괄하여 가공하고, 신호선 영역과 TFT 영역을 성형상으로 패터닝한다(도 11의 (c)). 구체적으로는 Mo/Al/Mo 적층막(47)을 인산, 질산 및 초산의 혼합산으로 습식 에칭한 후, SF₆/O₂/HCl 가스를 이용한 플라즈마 에칭에 의해 저저항 반도체 피막, 반도체 피막 및 게이트 절연막(29)을 일괄하여 패터닝하여 저저항 반도체막(40) 및 반도체막(39)을 형성한다.

다음에, 제 3 마스크 패턴을 이용하여 노광 및 현상한 후, BHF를 이용한 습식 에칭에 의해 제 3 패터닝을 실행하고, 주사선 패드 상에 접촉홀(45)을 형성한다(도 11의 (d)).

다음에, 기판온도를 150℃ 이하로 하여 H₂O를 도입하면서, 스퍼터법에 의해 약 40nm 두께의 IT0막을 기판 상면에 성막한다. 다음에, 제 4 마스크 패턴을 이용하여 노광 및 현상을 실행한 후에 제 4 패터닝을 실행하고, TFT의 소스전극(48) 및 드레인전극(49)과, 화소전극(35)을 형성하고, 그 후 습식 에칭 등에 의해 소스전극(48)과 드레인전극(49)을 분리하고, 또 동시에 저저항 반도체 피막의 에칭을 실행하여 백 채널부(50)를 형성한다(도 11의 (e)).

IT0막(35)의 에칭에는 계면활성제가 들어있는 3% 수산을 이용한다. 또, TFT의 백 채널부(50)에 대해서는 인산, 질산 및 초산의 혼합산에 의해 Mo/Al/Mo 적층막(47)을 에칭 제거한 후, SF₆/HCl에 의해 저저항 반도체 피막의 에칭을 실행하여 소스전극(48)과 드레인전극(49)을 분리한다.

다음에, 약 230℃에서 약 30분간의 열처리에 의해 IT0막(35)을 아몰퍼스 상태에서 다결정 상태로 하는

동시에, TFT특성의 안정화를 실행한다. 또, 동시에 점층층(45)을 형성한 부분에 신호선(33)에 전기적으로 접속되고 화소전극(35)과 동일재료로 이루어진 신호선접속 패드(34)를 형성한다.

또, IT0막(35)을 패터닝한 후, 레지스트 박리를 실행하고, 열처리에 의해 IT0막을 아몰퍼스 상태에서 미결정 상태로 변화시켜 IT0막을 마스크로 하여 Mo/Al/Mo 적층막(47)과 저저항 반도체막의 패터닝을 실행해도 좋다.

다음에, IT0막(35)의 상면에 배향막(24)을 형성하여 어레이기판을 완성시킨다. 다음에, 완성한 어레이기판을 상면에 배향막이 형성된 대향기판과 사이에 액정층을 끼워서 맞추어 붙이고, 도 12에 나타난 바와 같이 액정표시장치가 완성된다.

이와 같이, 제 6 실시형태에서는 Mo/Al/Mo 적층막, 저저항 반도체 피막 및 반도체 피막을 일괄하여 패터닝하여 신호선 영역과 TFT영역을 형성하고, 또 보호막을 불필요하게 하여 노광 및 패터닝의 횟수를 4회로 줄일 수 있고, 제조공정을 간략화할 수 있다.

또, 마스크 패턴을 이용하는 횟수가 줄어드는 것에 의해 마스크 어긋남이 일어나기 어려워지고, 신호선, 주사선 및 TFT부분의 기생용량의 변동을 억제할 수 있다. 따라서, 고해상도로 고개구율의 액정표시장치를 얻을 수 있다.

(제 7 실시형태)

제 7 실시형태는 제 6 실시형태의 변형예이고, 백 채널 컷트형 TFT를 이용한 어레이기판이고, 또한 TFT의 소스전극(48)과 드레인전극(49)의 최상층(47c)의 재료를 바나듐으로 한 것이다.

이와 같은 구성에 의해 제 7 실시형태에서는 제 4 및 제 5 실시형태와 같이 TFT의 소스전극(48)과 드레인전극(49)의 최상층(47c)을 바나듐으로 형성하기 때문에, 소망하지 않는 소스전극(48)과 드레인전극(49) 사이를 흐르는 리크전류를 억제할 수 있다.

상기한 신호선, 소스전극 및 드레인전극의 최상층인 Mo층 또는 V층은 탄탈(Ta), 티탄(Ti), 또는 텅스텐(W)으로 치환할 수 있다. 예를 들면 소스전극(48)과 드레인전극(49)의 최상층(47c)을 탄탈로 하는 경우, 스퍼터법에 의해 Mo/Al/Ta 적층막(47)을 형성한 후, CDE와, 초산, 인산 및 질산의 혼합산을 이용하여 불필요한 탄탈을 습식 에칭에 의해 제거한다.

CDE의 조건으로서는 예를 들면 O_2 와 CF_4 의 가스비율 1:1로 하고, 에칭 시간을 60초로 한다. 또, 습식 에칭의 조건으로서는 예를 들면 액온을 35℃로 하여 에칭시간을 200초로 한다.

한편, 소스전극(48)과 드레인전극(49)의 최상층(47c)을 티탄으로 하는 경우, 스퍼터법에 의해 Mo/Al/Ti 적층막(47)을 형성한 후, EDTA를 이용한 습식 에칭을 실행하거나, 또는 질산, 초산, 염산 및 물의 혼합산을 이용하여 습식 에칭을 실행한다.

EDTA에 의한 에칭의 조건으로서는 예를 들면 액온을 25℃로 하여 에칭시간을 125초로 한다. 혼합산에 의한 에칭의 조건으로서는 예를 들면 액온을 35℃로 하여 에칭시간을 200초로 한다.

이와 같이 소스전극(48)과 드레인전극(49)의 아래쪽 도전층의 최상층(47c)을, 탄탈, 티탄, 또는 텅스텐 등의 재료로 형성하는 것에 의해 소스전극(48)과 드레인전극(49) 사이의 리크전류를 억제할 수 있다.

제 8 실시형태

이상 상세하게 설명한 바와 같이, 본 발명에 의하면 매트릭스 어레이기판 상의 화소전극 및 신호선에 직접 접하여 배향막을 배치하기 때문에, 프로세스 최종 공정에서 보호용의 패시베이션막을 형성할 필요가 없어지고, 제조공정을 간략화할 수 있다. 또, 패시베이션막 형성용의 플라즈마 CVD장치도 불필요하게 되고, 제조비용을 삭감할 수 있다.

또, 신호선을 2층 구조로 하고, 윗쪽의 제 2 신호선층을 화소전극과 동일 공정으로 제작하는 것에 의해 더욱 제조공정을 간략화할 수 있다.

또, 신호선과, 박막 트랜지스터 장치의 소스전극 및 드레인전극을 제 1 및 제 2 도전층에서 각각 형성하고, 또 제 2 도전층을 화소전극을 구성하는 재료와 같은 재료로 형성하기 때문에, 신호선의 단선불량을 방지할 수 있다. 또, 본 발명을 액정표시장치에 적용하는 경우에는 제 1 도전층의 상면에 제 2 도전층을 형성하는 것에 의해 제 1 도전층의 구성재료가 액정층 중에 확산하여 표시불량이 되는 문제가 해소된다.

또, 본 발명에 의하면 소스전극, 드레인전극 및 반도체막을 동일한 마스크 패턴을 이용한 패터닝에 의해 일괄하여 형성하기 때문에, 어레이기판을 제조하는데 필요한 마스크 패턴의 수를 종래보다도 줄일 수 있고, 제조원가 및 제조공정을 삭감할 수 있다.

또, 마스크 패턴을 이용하는 횟수가 줄어드는 것에 의해 마스크 어긋남이 일어나기 어려워지고, 신호선, 주사선 및 TFT부분의 기생용량의 변동을 억제할 수 있다. 따라서, 고해상도이고 고개구율의 액정표시장치를 얻을 수 있다.

제 9 실시형태

청구항 1

절연기판상에 배치된 게이트 전극부를 포함하는 주사선, 상기 주사선의 상기 게이트 전극부상에 절연막을 통해서 배치된 반도체막, 상기 반도체막에 드레인전극을 통해서 전기적으로 접속되는 신호선, 상기 반도체막에 전기적으로 접속되는 소스전극 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판.

상기 매트릭스 어레이기판에 대향배치되는 대향기판, 및

상기 매트릭스 어레이기판과 상기 대향기판과의 사이에 각각 배향막을 통해서 유지되는 액정층을 구비한 액정표시장치에 있어서,

상기 매트릭스 어레이기판의 적어도 상기 화소전극 및 상기 신호선상에는 상기 화소전극 및 상기 신호선에 직접 접하여 상기 배향막이 배치되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 신호선은 제 1 신호선층과, 상기 제 1 신호선층상에 적층되어 상기 화소전극과 동일 공정에서 제작되는 제 2 신호선층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제 1 신호선층의 표면의 20%이상이 상기 제 2 신호선층으로 피복되어 있는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 신호선층은 알루미늄을 주체로 하는 제 1 층과, 상기 제 1 층상에 배치되는 제 2 층을 포함하고, 상기 제 2 층은 탄탈, 티탄, 텅스텐 및 바나듐에서 선택된 적어도 하나의 재료로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제 2 층은 바나듐으로 구성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 화소전극은 인듐(In)과 아연(Zn)과 산소(O)와의 합금인 IZO막을 주체로 한 재료로 형성되고, 상기 주사선은 알루미늄을 주체로 한 금속재료로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

절연기판상에 배치된 게이트 전극부를 포함하는 주사선, 상기 주사선의 상기 게이트 전극부상에 절연막을 통해서 배치된 반도체막, 상기 반도체막에 드레인전극을 통해서 전기적으로 접속되는 신호선, 상기 반도체막에 전기적으로 접속되는 소스전극 및 상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판에 있어서,

상기 신호선은 알루미늄을 주체로 한 제 1 신호선층, 상기 제 1 신호선층상에 배치되어 탄탈, 티탄, 텅스텐 및 바나듐에서 선택된 적어도 하나의 재료로 구성되는 제 2 신호선층을 포함하는 것을 특징으로 하는 매트릭스 어레이기판.

청구항 8

제 7 항에 있어서,

상기 제 2 신호선층은 바나듐으로 구성되는 것을 특징으로 하는 매트릭스 어레이기판.

청구항 9

제 7 항에 있어서,

상기 신호선은 상기 제 2 신호선층상에 배치되는 제 3 신호선층을 포함하고, 상기 제 3 신호선층은 상기 화소전극과 동일 재료와 동시에 동일공정에서 작성되는 것을 특징으로 하는 매트릭스 어레이기판.

청구항 10

기판상에 배치되는 주사선,

상기 주사선상에 배치되는 절연막, 상기 절연막상에 배치되는 반도체막 및 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 갖는 박막 트랜지스터장치,

상기 드레인전극에 전기적으로 접속되는 신호선, 및

상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판의 제조방법에 있어서,

상기 절연막상에 반도체 피막 및 채널보호 피막을 차례로 퇴적하는 제 1 공정,

상기 채널보호 피막을 패터닝하여 채널보호막을 형성하는 제 2 공정,

상기 주사선을 외부 접속하기 위한 패드에 대응하여 상기 반도체 피막 및 상기 절연막에 개구부를 형성

하는 제 3 공정.

기판 상면에 제 1 도전층을 퇴적하고, 상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 제 1 도전층 및 상기 반도체 피막을 동일 마스크패턴을 이용하여 패터닝하고, 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 반도체막을 형성하는 제 4 공정, 및

기판 상면에 제 2 도전층을 형성한 후에 패터닝하고, 상기 하측 도전층상에 배치되는 상측 도전층을 형성함과 동시에 상기 화소전극을 형성하는 제 5 공정을 구비하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법.

청구항 11

기판상에 배치되는 주사선,

상기 주사선상에 배치되는 절연막, 상기 절연막상에 배치되는 반도체막, 및 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 갖는 박막 트랜지스터장치,

상기 드레인전극에 전기적으로 접속되는 신호선, 및

상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판의 제조방법에 있어서,

상기 절연막상에 반도체 피막 및 채널보호 피막을 차례로 퇴적하는 제 1 공정,

상기 채널보호 피막을 패터닝하여 상기 채널보호막을 형성하는 제 2 공정,

상기 반도체 피막 및 상기 채널보호막의 상면에 제 1 도전층을 형성하는 제 3 공정,

상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 제 1 도전층 및 상기 반도체 피막을 동일 마스크패턴을 이용하여 패터닝하고 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 도전체막을 형성하는 제 4 공정,

상기 주사선을 외부 접속하기 위한 패드에 대응하여 상기 절연막에 개구부를 형성하는 제 5 공정, 및

기판 상면에 제 2 도전층을 형성한 후에 패터닝하고 상기 하측 도전층상에 배치되는 상측 도전층을 형성함과 동시에 상기 화소전극을 형성하는 제 6 공정을 구비하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법.

청구항 12

제 11 항에 있어서,

상기 제 6 공정에서는 상기 소스전극 및 상기 드레인전극의 상면의 일부에만 상기 상측 도전층을 형성하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법.

청구항 13

제 11 항에 있어서,

상기 제 3 공정에 앞서서 저저항 반도체 피막을 형성하고, 상기 제 4 공정에 의해 상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 제 1 도전층, 상기 저저항 반도체 피막 및 상기 반도체 피막을 동일 마스크패턴을 이용하여 패터닝하고, 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 반도체막을 형성하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법.

청구항 14

기판상에 배치되는 주사선,

상기 주사선상에 배치되는 절연막, 상기 절연막상에 배치되는 반도체막, 및 상기 반도체막에 전기적으로 접속되는 소스전극 및 드레인전극을 갖는 박막 트랜지스터장치,

상기 드레인전극에 전기적으로 접속되는 신호선, 및

상기 소스전극에 전기적으로 접속되는 화소전극을 구비한 매트릭스 어레이기판의 제조방법에 있어서,

상기 절연막상에 반도체 피막을 형성하는 제 1 공정,

상기 반도체 피막의 상면에 제 1 도전층을 형성하는 제 2 공정,

상기 박막 트랜지스터장치의 형성 개소에 대응하여 상기 반도체 피막 및 상기 제 1 도전층을 동일 마스크패턴을 이용하여 패터닝하고, 상기 소스전극, 상기 드레인전극 및 상기 신호선의 하측 도전층을 일괄하여 형성함과 동시에 상기 반도체막을 형성하는 제 3 공정,

상기 주사선을 외부 접속하기 위한 패드에 대응하여 상기 반도체 피막 및 상기 절연막에 개구부를 형성하는 제 4 공정, 및

기판 상면에 제 2 도전층을 형성한 후에 패터닝하고, 상기 하측 도전층상에 배치되는 상측 도전층을 형성함과 동시에 상기 화소전극을 형성하는 제 5 공정을 구비하는 것을 특징으로 하는 매트릭스 어레이기판의 제조방법.

청구항 15

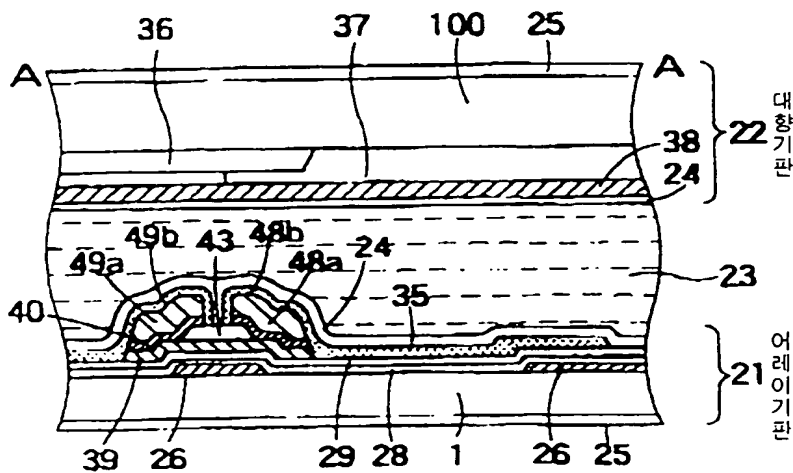
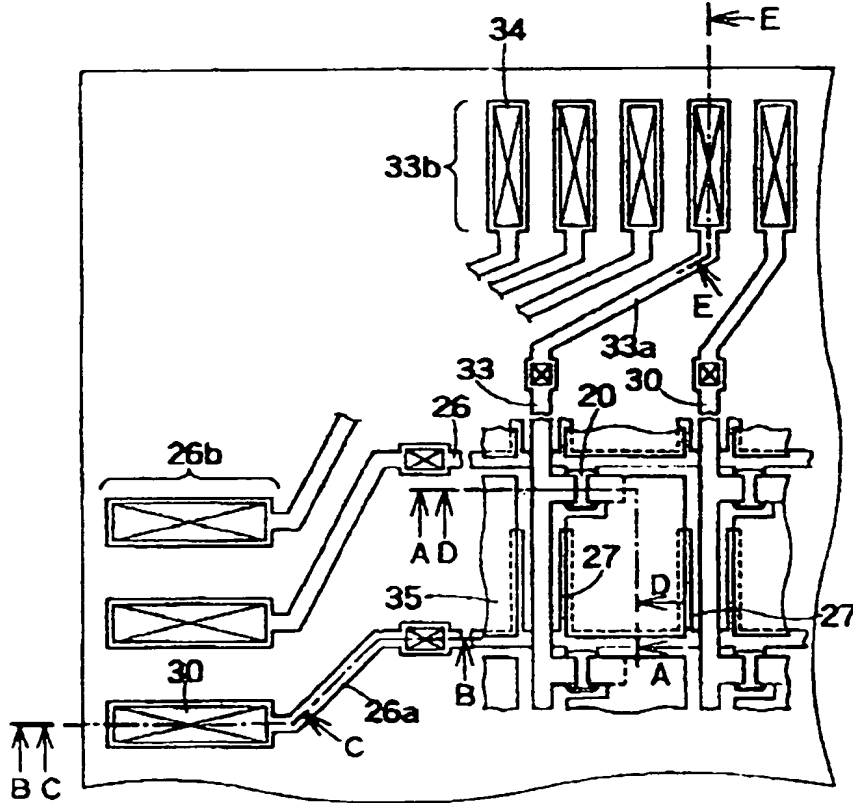
제 14 항에 있어서,

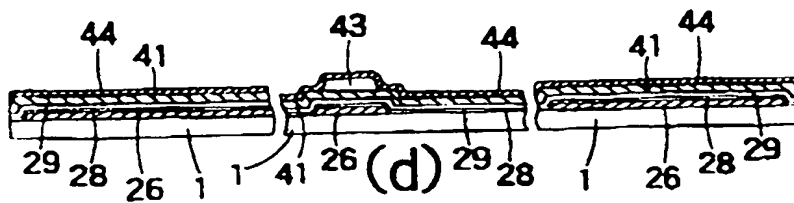
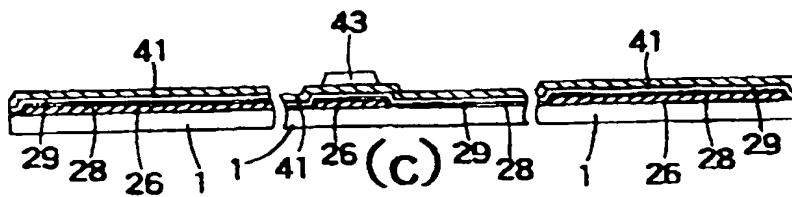
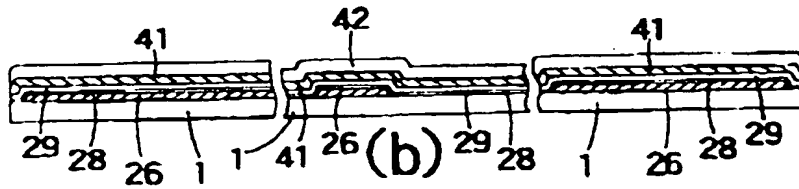
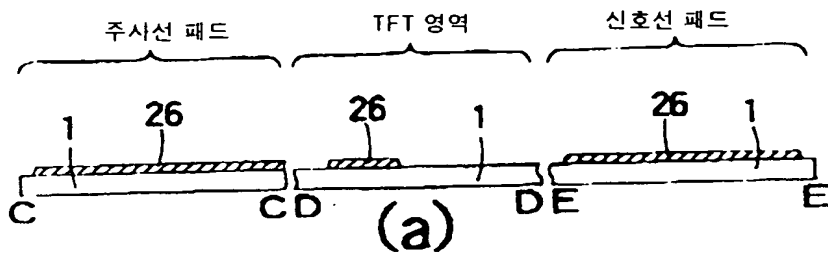
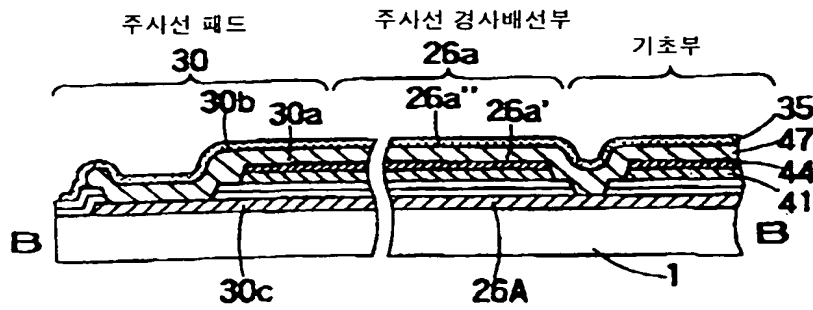
상기 제 1 도전층은 알루미늄을 주체로 하여 구성되는 것을 특징으로 하는 매트릭스 어레이기판의 제조 방법.

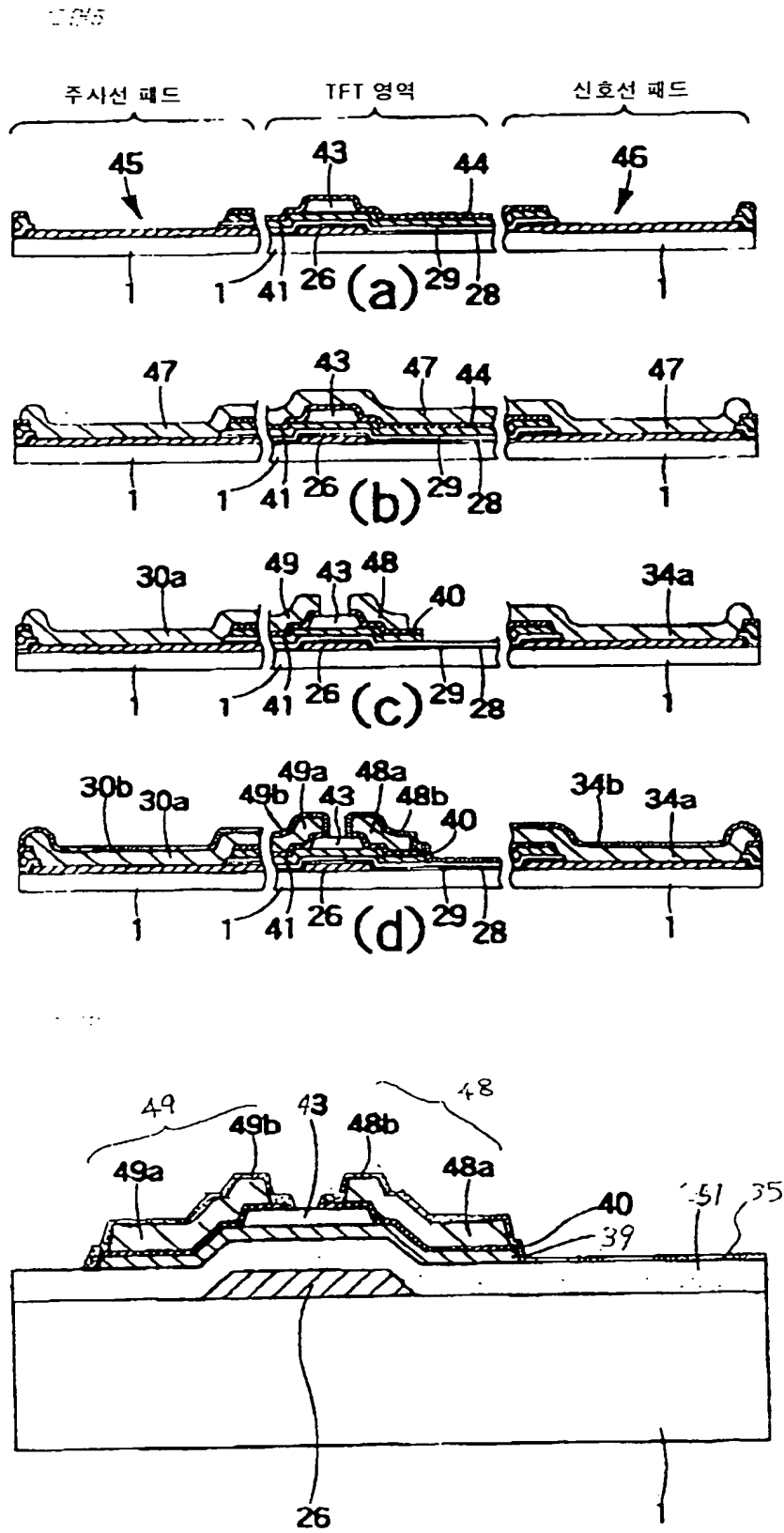
청구항 16

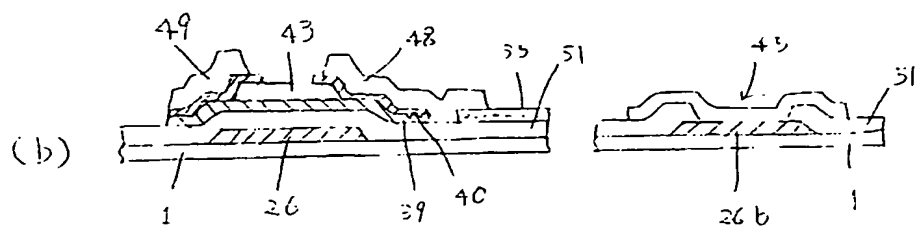
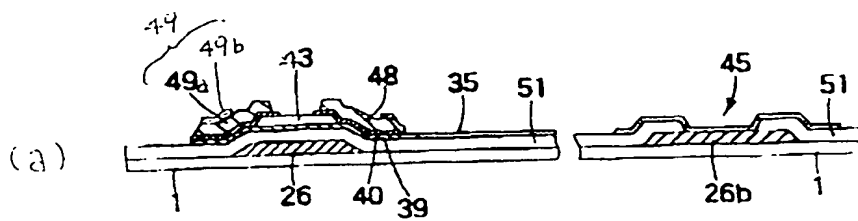
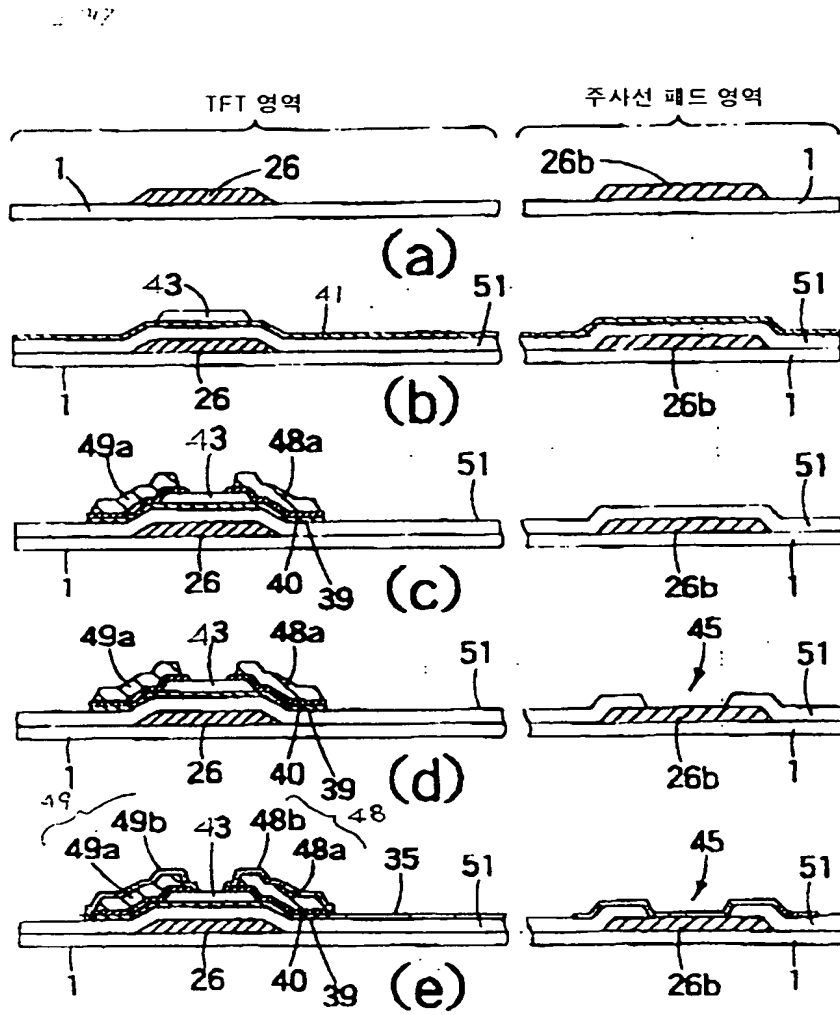
제 15 항에 있어서,

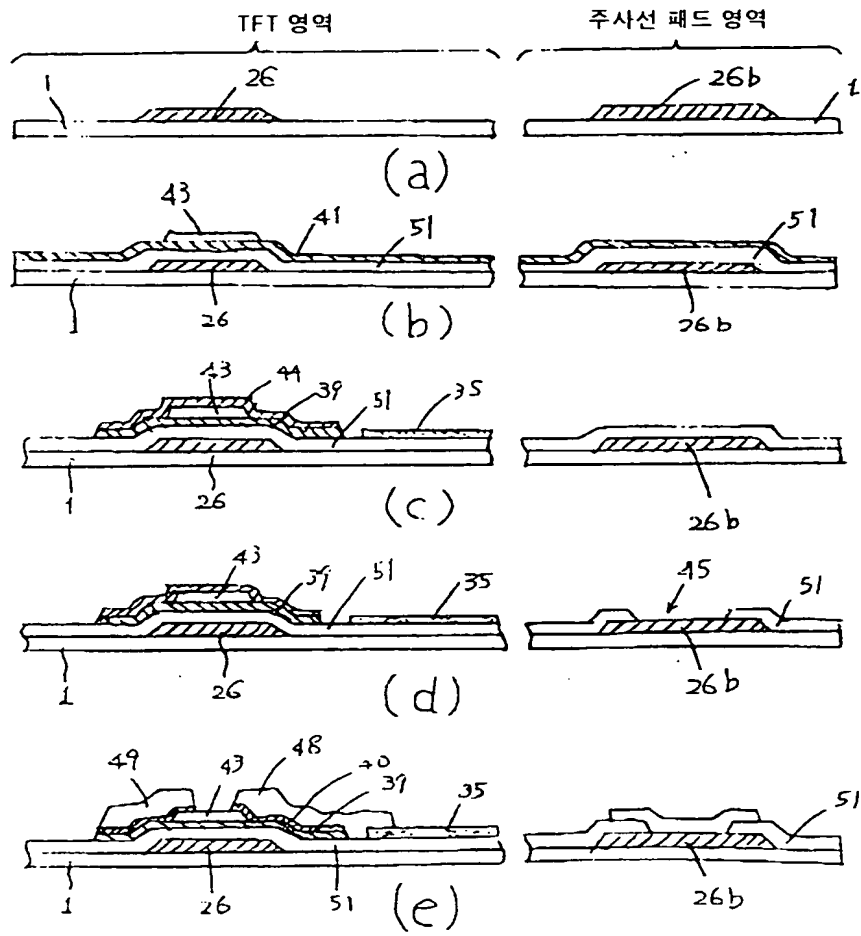
상기 제 1 도전층은 알루미늄을 포함하는 적층막이고, 상기 적층막의 최상층은 탄탈, 티탄, 텅스텐 및 바나듐에서 선택되는 적어도 하나의 재료로 구성되는 것을 특징으로 하는 매트릭스 어레이기판의 제조 방법.

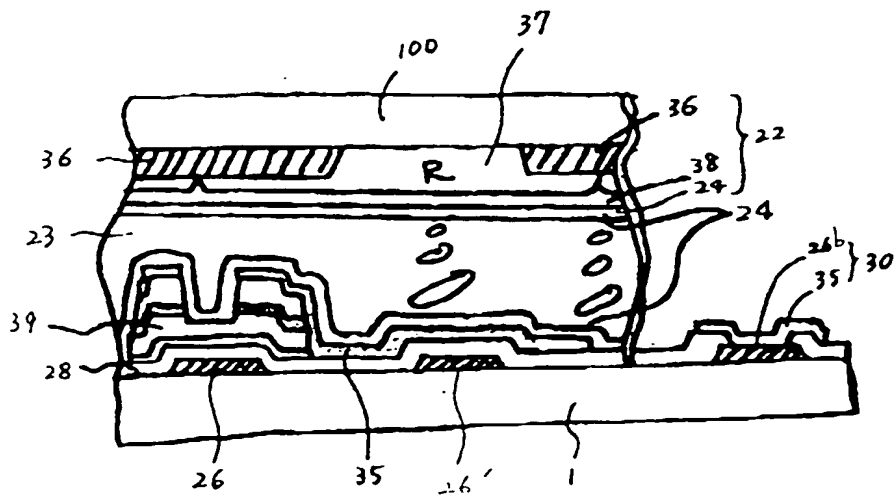
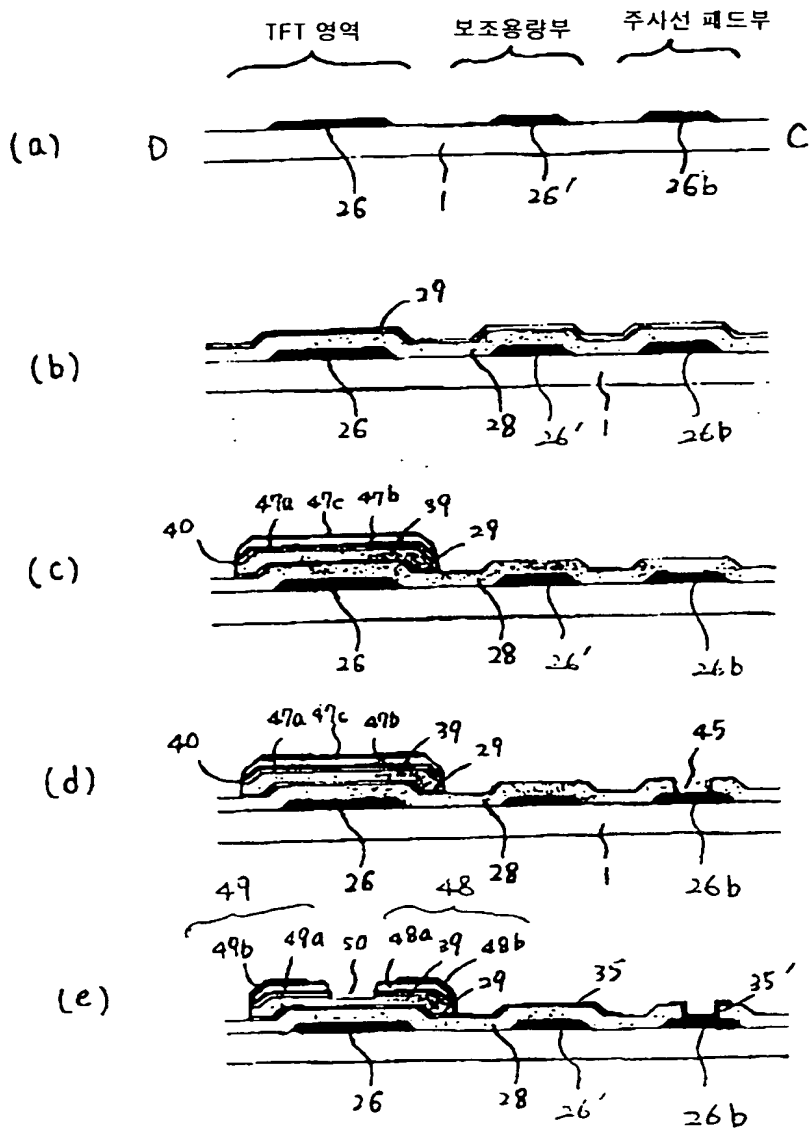




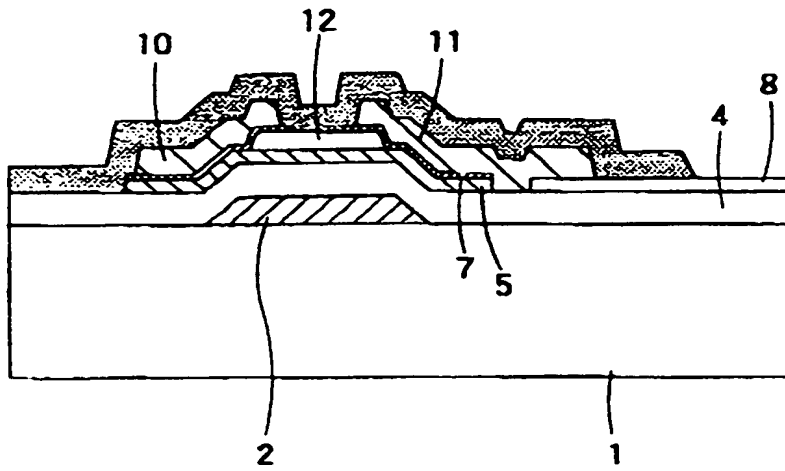




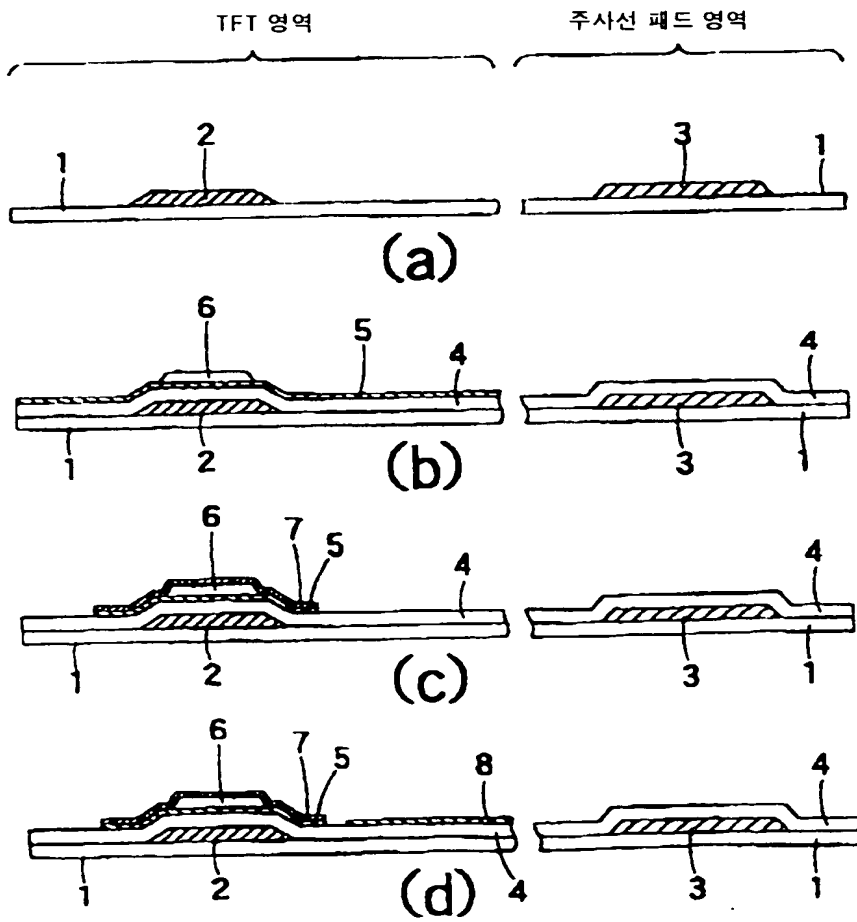




도 13



도 14



도면 15

